

18. 5. 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

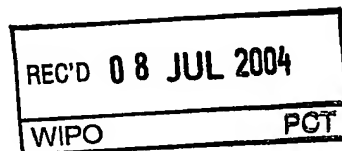
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 4 月 9 日

出 願 番 号
Application Number: 特 願 2 0 0 3 - 1 0 5 7 9 4
[ST. 10/C]: [J P 2 0 0 3 - 1 0 5 7 9 4]

出 願 人
Applicant(s): 大日本印刷株式会社

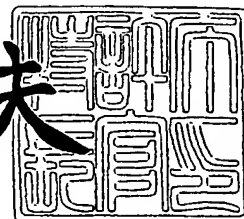


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 6 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 P030293
【提出日】 平成15年 4月 9日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/60
G09F 9/92

【発明者】

【住所又は居所】 東京都新宿区市谷加賀町一丁目 1 番 1 号 大日本印刷株式会社内

【氏名】 三浦 陽一

【特許出願人】

【識別番号】 000002897

【氏名又は名称】 大日本印刷株式会社

【代表者】 北島 義俊

【代理人】

【識別番号】 100111659

【弁理士】

【氏名又は名称】 金山 聡

【手数料の表示】

【予納台帳番号】 013055

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808512

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 配線基板の製造方法およびフリップチップ接続用バンプを有する配線基板

【特許請求の範囲】

【請求項1】 配線層を1層以上配設した配線基板の一方側に、半導体素子の半田バンプと直接フリップチップ接続するための、突起状のフリップチップ接続用バンプを第1の端子部として形成し、他方側には、配線部を覆うソルダーレジストの開口にこれを埋めるように第2の端子部をめっき形成している配線基板の形成方法であって、順次、(a)順に第1のCu層、Ni層またはTi層、第2のCu層を積層してなる板状の複合材に対し、第1のCu層表面に所定形状にレジストを形成し、レジストの開口から露出した第1のCu層をのみエッチングして、その所定領域を貫通させ、第1の端子部形成領域用の孔部を形成するエッチング工程と、(b)前記レジストを耐めっきレジストとして、エッチング工程にて形成された孔部を埋めるように、フリップチップ接続用バンプとなる第1の端子部を電解めっきにより形成する第1の電解めっき工程と、(c)レジストを剥離した後、第1の端子部形成側上に、前記第1の端子部に接続するようにして、樹脂材層を介して配線を設けた配線層を1層以上形成する配線層形成工程と、(d)第2の端子部形成領域を露出させる開口を設け、配線層全体を覆うように、ソルダーレジストを形成するソルダーレジスト形成工程と、(e)前記ソルダーレジストの開口に電解めっきを施し、第2の端子部を形成する第2の電解めっき工程と、(f)前記複合材の残部をエッチング除去するエッチング工程と、を有することを特徴とする配線基板の製造方法。

【請求項2】 請求項1において、第1の電解めっき工程は、順にAuめっき、Cuめっき、あるいは順にAuめっき、Niめっき、あるいは順にAuめっき、Niめっき、Cuめっき、あるいは順にPdめっき、Cuめっき、あるいは順にPdめっき、Niめっき、あるいは順にPdめっき、Niめっき、Cuめっき、あるいは順にPd系合金めっき、Cuめっき、あるいは順にPd系合金めっき、Niめっき、あるいは順にPd系合金めっき、Niめっき、Cuめっき、あるいはSnめっき、あるいは順にSnめっき、Cuめっき、あるいはSn系合金

めっき、あるいは順にS n系合金めっき、Cuめっきを施すものであることを特徴とする配線基板の製造方法。

【請求項3】 配線層を1層以上配設した配線基板の一方側に、半導体素子の半田バンプと直接フリップチップ接続するための、突起状のフリップチップ接続用バンプを第1の端子部として形成し、他方側には、配線部を覆うソルダーレジストの開口にこれを埋めるように第2の端子部をめっき形成している配線基板の形成方法であって、順次、(a1)順に第1のCu層、Ni層、第2のCu層を積層してなる板状の複合材に対し、第1のCu層表面に所定形状にレジストを形成し、前記レジストを耐めっきレジストとして、レジストの開口から露出した第1のCu層上に、開口を埋めるように、電解めっきにより、第1の端子部の一部となる電解めっき形成部を形成する第1の電解めっき工程と、(b1)レジストを剥離した後、前記電解めっき形成部側上に、前記第1の端子部の一部となる電解めっき形成部に接続するようにして、樹脂材層を介して配線層を1層以上形成する配線層形成工程と、(c1)第2の端子部形成領域を露出させる開口を設け、配線層全体を覆うように、ソルダーレジストを形成するソルダーレジスト形成工程と、(d1)前記ソルダーレジストの開口に電解めっきを施し、第2の端子部を形成する第2の電解めっき工程と、(e1)Ni層をエッチングストップ層として、第2のCu層をエッチング除去し、更に、Ni層上に、前記第1の端子部領域のみを覆うようにレジストを形成し、該レジストを耐エッチングレジストとして、Ni層、第1のCu層をエッチングして貫通させ、第1の電解めっき形成部、第1のCu層部、Ni層部からなる端子部を形成するエッチング工程と、(f1)前記レジストを除去した後、露出した端子部表面に、無電解Auめっき、あるいは、順に無電解Niめっき、無電解Auめっきを施し、これを第1の端子部として形成する無電解めっき工程とを有することを特徴とする配線基板の製造方法。

【請求項4】 請求項1ないし3において、複合材がクラッド材からなることを特徴とする配線基板の製造方法。

【請求項5】 請求項1ないし4において、配線層形成工程が、セミアディティブ方法であることを特徴とする配線基板の製造方法。

【請求項6】 請求項5において、配線層形成工程は、順に（A）絶縁性樹脂からなる樹脂材層をラミネートするラミネート工程と、（B）前記ラミネート工程にてラミネートされた樹脂材層を、レーザにてビア形成用の孔を開ける、孔形成工程と、（C）形成された孔部の表面を含め、樹脂材層表面にCu無電解めっきを施し、形成されたCu層上に、回路形成部を開口してレジストを形成した後、レジスト開口から露出したCu層上に、該Cu層を導電層として電解Cuめっきを施し、更に、前記レジストを剥離し、露出した無電解めっきにより形成されたCu層をエッチング除去して、ビアを形成するとともに、回路部を形成する回路部形成工程とを行う、一連の作業工程を、形成しようとする配線層の数に応じて行うことを特徴とする配線基板の製造方法。

【請求項7】 請求項1ないし4において、配線層形成工程が、フルアディティブ方法とサブトラクティブ方法、あるいはフルアディティブ方法とセミアディティブ方法の両方を用いたものであることを特徴とする配線基板の製造方法。

【請求項8】 配線層を1層以上配設した配線基板の一方側に、半導体素子の半田バンプと直接フリップチップ接続するための、突起状のフリップチップ接続用バンプを第1の端子部として形成し、他方側には、配線部を覆うソルダーレジストの開口にこれを埋めるように第2の端子部をめっき形成している配線基板であって、樹脂材層上に配線を形成した各配線層は、その樹脂材層側を第1の端子部側に、その配線を第2の端子部側に向けており、第1の端子部側にはソルダーレジストを設けずに、樹脂材層を露出させており、第1の端子部は、その突起先端に平面部を設け、且つ、各端子部の平面部を一平面上に揃えており、その側面部を含み露出した表面全体に、電解めっき層あるいは無電解めっき層からなる表面めっき層が形成されていることを特徴とするフリップチップ接続用バンプを有する配線基板。

【請求項9】 請求項8において、電解めっき層は、表面側からの順を以下順として、順にAuめっき層、Cuめっき層、あるいは順にAuめっき層、Niめっき層、あるいは順にAuめっき層、Niめっき層、Cuめっき層、あるいは順にPdめっき層、Cuめっき層、あるいは順にPdめっき層、Niめっき層、あるいは順にPd系

合金めっき層、Cuめっき層、あるいは順にPd系合金めっき層、Niめっき層、あるいは順にPd系合金めっき層、Niめっき層、Cuめっき層、あるいはSnめっき層、あるいは順にSnめっき層、Cuめっき層、あるいはSn系合金めっき層、あるいは順にSn系合金めっき層、Cuめっき層を形成したものであることを特徴とするフリップチップ接続用バンパを有する配線基板。

【請求項10】 請求項9において、無電解めっき層は、無電解Auめっき層、あるいは、表面側から順に無電解Niめっき層、無電解Auめっき層であることを特徴とするフリップチップ接続用バンパを有する配線基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、配線層を1層以上積層した配線基板の一方の側に半導体素子とフリップチップ接続するための、突起状のフリップチップ接続用バンパを第1の端子部として形成し、他方側には、配線部を覆うソルダーレジストの開口にこれを埋めるように第2の端子部をめっき形成している配線基板とその形成方法に関する。

【0002】

【従来の技術】

近年、半導体装置において、半導体素子（半導体チップないし単にチップとも言う）の外部端子数が多く、高速にて動作するものは、電気特性向上のため、エリアアレイ型のフリップチップ接合にて、インターポーザーである半導体パッケージ用基板と接合させる形態が採られている。

従来、C4タイプ（半田接合によるフリップチップ接続タイプのこと）のフリップチップ接合においては、半導体素子側の半田バンパと安定的な接合状態を得るために、基板側の端子にも半田バンパを形成しておく必要があった。

この場合の、基板側の半田バンパは、通常、半田ペーストを金属マスクを用いたスクリーン印刷にて半田を供給した後、リフロー工程、フラックス除去工程、平坦化工程を経て、バンパを形成していた。

しかし、半田ペーストのスクリーン印刷は、金属マスクの製造コストが高く、

なおかつ、ピッチの縮小化に限界があり、一般的には、 $150\mu\text{m}$ 程度のピッチが限界とされている。

このため、今後、半導体素子側の配線が更に微細化し、 90nm 程度となった場合、更に端子ピッチが縮小することも考えられており、スクリーン印刷とは別の方法にて、更なる微細化への対応が必要となってきた。

スクリーン印刷とは別の方法として、金属と、金属塩の置換反応によりバンプを形成し、微細化ピッチへの対応する化学反応によるバンプの形成方法も挙げることができるが、この方法の場合、材料費、製造コストは、高く、バンプ高さのばらつきにも問題が残る。

【0003】

尚、スクリーン印刷を用いて基板側に半田バンプを形成して半導体素子側の半田バンプと接合する場合、接触させた後に加熱により、半田を溶融させて接合させるが、基板側の半田バンプの高さのばらつきにより、半導体素子側の半田バンプとの接合が不十分となる危険性がある。

また、半導体素子側の半田バンプは溶融させずに基板側の半田バンプのみを溶融させてフリップチップ接合を行う場合、基板側の半田バンプの表面の酸化が半導体素子側の半田バンプとの濡れ性を低下させるという問題もあった。

また、通常、基板表面にソルダーレジストを配し、半導体素子側の半田バンプと接合するための端子を設けるが、基板側の端子の形状によっては、NSMD (non-Solder Mask defined) の場合、ソルダーレジストとのずれが生じ、熱によるストレス、落下その他の衝撃に対し、故障が発生し易くなり、信頼性が低下し、結果的に端子形状に起因する接合不良が生じることもある。

特に、バンプピッチ微細化時、ソルダーレジスト開口径が小さくなり、ソルダーレジストの開口形状がSMD (Solder Mask defined) の場合には、半田を供給しないと、接合が不完全となる。

尚、図7 (a) に示すように端子部721の領域がソルダーレジスト722により限定されない形態をNSMD、図7 (b) や図7 (c) に示すように、端子部721の領域がソルダーレジスト722により限定される形態をSMDと言う

。 SMDにおいては、半田を供給した場合でも、ソルダーレジストの壁の角度が垂直に近い場合は上面部（D1部）の半田にストレスが集中し、熱衝撃時の寿命低下の危険がある。

一方、ソルダーレジストの断面形状の壁面角度を鈍角とした場合、開口部底部のサイズは、レジストの厚み、レジスト感度によってばらつきが生じるし、表面のサイズは、微細ピッチ時には大きくできないという欠点がある。

【0004】

【特許文献1】

特開平2001-93929号公報

【特許文献2】

特願2002-203868号公報

【0005】

【発明が解決しようとする課題】

上記のように、C4タイプ（半田接合によるフリップチップ接続タイプのこと）のフリップチップ接合においては、バンプピッチの微細化に伴ない、基板側に半田バンプを設ける場合、従来の半田ペーストのスクリーン印刷による基板側の半田バンプの形成にはピッチの微小化への限界が見られ、また、金属と、金属塩の置換反応による基板側のバンプの形成方法においては、材料費、製造コストが高く、バンプ高さのばらつきも問題となっており、更に、通常、基板表面にソルダーレジストを配し、半導体素子側の半田バンプと接合するための端子を設けるが、このような形態をとるため、種々問題があり、これらの対応が求められていた。

本発明はこれらに対応するもので、具体的には、半導体素子の半田バンプと直接フリップチップ接続できるめっきバンプあるいは表面がめっき形成されたバンプを備えた配線基板で、半導体素子の半田バンプとの直接のフリップチップ接続を信頼性良くできる配線基板と、その製造方法を提供しようとするものである。

【0006】

【課題を解決するための手段】

第1の本発明の配線基板の製造方法は、配線層を1層以上配設した配線基板の一方側に、半導体素子の半田バンプと直接フリップチップ接続するための、突起状のフリップチップ接続用バンプを第1の端子部として形成し、他方側には、配線部を覆うソルダーレジストの開口にこれを埋めるように第2の端子部をめっき形成している配線基板の形成方法であって、順次、(a) 順に第1のCu層、Ni層またはTi層、第2のCu層を積層してなる板状の複合材に対し、第1のCu層表面に所定形状にレジストを形成し、レジストの開口から露出した第1のCu層をのみエッチングして、その所定領域を貫通させ、第1の端子部形成領域用の孔部を形成するエッチング工程と、(b) 前記レジストを耐めっきレジストとして、エッチング工程にて形成された孔部を埋めるように、フリップチップ接続用バンプとなる第1の端子部を電解めっきにより形成する第1の電解めっき工程と、(c) レジストを剥離した後、第1の端子部形成側上に、前記第1の端子部に接続するようにして、樹脂材層を介して配線を設けた配線層を1層以上形成する配線層形成工程と、(d) 第2の端子部形成領域を露出させる開口を設け、配線層全体を覆うように、ソルダーレジストを形成するソルダーレジスト形成工程と、(e) 前記ソルダーレジストの開口に電解めっきを施し、第2の端子部を形成する第2の電解めっき工程と、(f) 前記複合材の残部をエッチング除去するエッチング工程と、を有することを特徴とするものである。

そして、上記において、第1の電解めっき工程は、順にAuめっき、Cuめっき、あるいは順にAuめっき、Niめっき、あるいは順にAuめっき、Niめっき、Cuめっき、あるいは順にPdめっき、Cuめっき、あるいは順にPdめっき、Niめっき、あるいは順にPdめっき、Niめっき、Cuめっき、あるいは順にPd系合金めっき、Cuめっき、あるいは順にPd系合金めっき、Niめっき、あるいは順にPd系合金めっき、Niめっき、Cuめっき、あるいはSnめっき、あるいは順にSnめっき、Cuめっき、あるいはSn系合金めっき、あるいは順にSn系合金めっき、Cuめっきを施すものであることを特徴とするものである。

また、第2の本発明の配線基板の製造方法は、配線層を1層以上配設した配線基板の一方側に、半導体素子の半田バンプと直接フリップチップ接続するための

、突起状のフリップチップ接続用バンプを第1の端子部として形成し、他方側には、配線部を覆うソルダーレジストの開口にこれを埋めるように第2の端子部をめっき形成している配線基板の形成方法であって、順次、(a1) 順に第1のCu層、Ni層、第2のCu層を積層してなる板状の複合材に対し、第1のCu層表面に所定形状にレジストを形成し、前記レジストを耐めっきレジストとして、レジストの開口から露出した第1のCu層上に、開口を埋めるように、電解めっきにより、第1の端子部の一部となる電解めっき形成部を形成する第1の電解めっき工程と、(b1) レジストを剥離した後、前記電解めっき形成部側上に、前記第1の端子部の一部となる電解めっき形成部に接続するようにして、樹脂材層を介して配線層を1層以上形成する配線層形成工程と、(c1) 第2の端子部形成領域を露出させる開口を設け、配線層全体を覆うように、ソルダーレジストを形成するソルダーレジスト形成工程と、(d1) 前記ソルダーレジストの開口に電解めっきを施し、第2の端子部を形成する第2の電解めっき工程と、(e1) Ni層をエッチングストッパー層として、第2のCu層をエッチング除去し、更に、Ni層上に、前記第1の端子部領域のみを覆うようにレジストを形成し、該レジストを耐エッチングレジストとして、Ni層、第1のCu層をエッチングして貫通させ、第1の電解めっき形成部、第1のCu層部、Ni層部からなる端子部を形成するエッチング工程と、(f1) 前記レジストを除去した後、露出した端子部表面に、無電解Auめっき、あるいは、順に無電解Niめっき、無電解Auめっきを施し、これを第1の端子部として形成する無電解めっき工程とを有することを特徴とするものである。

【0007】

そして、上記において、複合材がクラッド材からなることを特徴とするものである。

そしてまた、上記において、配線層形成工程が、セミアディティブ方法であることを特徴とするものであり、該配線層形成工程は、順に(A) 絶縁性樹脂からなる樹脂材層をラミネートするラミネート工程と、B) 前記ラミネート工程にてラミネートされた樹脂材層を、レーザにてビア形成用の孔を開ける、孔形成工程と、(C) 形成された孔部の表面を含め、樹脂材層表面にCu無電解めっきを施

し、形成されたCu層上に、回路形成部を開口してレジストを形成した後、レジスト開口から露出したCu層上に、該Cu層を導電層として電解Cuめっきを施し、更に、前記レジストを剥離し、露出した無電解めっきにより形成されたCu層をエッチング除去して、ビアを形成するとともに、回路部を形成する回路部形成工程とを行う、一連の作業工程を、形成しようとする配線層の数に応じて行うことを特徴とするものである。

また、上記において、配線層形成工程が、フルアディティブ方法とサブトラクティブ方法、あるいはフルアディティブ方法とセミアディティブ方法の両方を用いたものであることを特徴とするものである。

【0008】

ここでは、サブトラクティブ方法とは、銅箔等の配線層形成用の導電性薄板を選択エッチングして配線部を形成する方式を言い、フルアディティブ方法とは、配線部を選択めっきだけで形成する方式を言い、セミアディティブ方法とは、めっき形成した導電性層をエッチングして除去して配線部を形成する方式を言い、通電用の薄い導電層をめっき形成した後、これを通電層として選択的に電解めっきして配線部を厚く形成し、更にフラッシュエッチングにて通電用の薄い導電層を除去する方式もセミアディティブ方法と言う。

【0009】

本発明のフリップチップ接続用バンパを有する配線基板は、配線層を1層以上配設した配線基板の一方側に、半導体素子の半田バンパと直接フリップチップ接続するための、突起状のフリップチップ接続用バンパを第1の端子部として形成し、他方側には、配線部を覆うソルダーレジストの開口にこれを埋めるように第2の端子部をめっき形成している配線基板であって、樹脂材層上に配線を形成した各配線層は、その樹脂材層側を第1の端子部側に、その配線を第2の端子部側に向けており、第1の端子部側にはソルダーレジストを設けずに、樹脂材層を露出させており、第1の端子部は、その突起の先端に平面部を設け、且つ、各端子部の平面部を一平面上に揃えており、その側面部を含み露出した表面全体に、電解めっき層あるいは無電解めっき層からなる表面めっき層が形成されていることを特徴とするものである。

そして、上記において、電解めっき層は、表面側からの順を以下順として、順にAuめっき層、Cuめっき層、あるいは順にAuめっき層、Niめっき層、あるいは順にAuめっき層、Niめっき層、Cuめっき層、あるいは順にPdめっき層、Cuめっき層、あるいは順にPdめっき層、Niめっき層、あるいは順にPdめっき層、Niめっき層、Cuめっき層、あるいは順にPd系合金めっき層、Cuめっき層、あるいは順にPd系合金めっき層、Niめっき層、あるいは順にPd系合金めっき層、Niめっき層、Cuめっき層、あるいはSnめっき層、あるいは順にSnめっき層、Cuめっき層、あるいはSn系合金めっき層、あるいは順にSn系合金めっき層、Cuめっき層を形成したものであり、また、無電解めっき層は、無電解めっき層は、無電解Auめっき層、あるいは、表面側から順に無電解Niめっき層、無電解Auめっき層であることを特徴とするものである。

【0010】

【作用】

本発明の配線基板の製造方法は、このような構成にすることにより、半導体素子の半田バンプと直接フリップチップ接続できるめっきバンプあるいは表面がめっき形成されたバンプを備えた配線基板で、半導体素子の半田バンプとの直接のフリップチップ接続を信頼性良くできる配線基板を製造する製造方法の提供を可能としている。

【0011】

第1の本発明の配線基板の製造方法においては、第1の電解めっき工程は、順にAuめっき、Cuめっき、あるいは順にAuめっき、Niめっき、あるいは順にAuめっき、Niめっき、Cuめっき、あるいは順にPdめっき、Cuめっき、あるいは順にPdめっき、Niめっき、あるいは順にPdめっき、Niめっき、Cuめっき、あるいは順にPd系合金めっき、Cuめっき、あるいは順にPd系合金めっき、Niめっき、あるいは順にPd系合金めっき、Niめっき、Cuめっき、あるいはSnめっき、あるいは順にSnめっき、Cuめっき、あるいはSn系合金めっき、あるいは順にSn系合金めっき、Cuめっきを施すものであり、作製される配線基板は、第1の端子部の表面にて直接、半導体素

子の半田バンプとフリップチップ接続できるものとしてなり、接続の際、第1の端子部の表面酸化を実用レベルで問題のないものとしている。

特に、第1の電解めっき工程は、順に、Auめっき、Cuめっき、あるいは、順に、Auめっき、Niめっき、あるいは、順にAuめっき、Niめっき、Cuめっきを施す場合には、第1の端子部の表面酸化をより問題のないものとしている。

また、第1の本発明の配線基板の製造方法においては、第1のCu層の厚さに揃えて、バンプ形成領域用の孔部を全て形成することを可能としており、且つ、Ni層またはTi層の面に、第1の端子部（バンプ部）の表面位置を揃えることを可能としている。

即ち、第1の端子部をバラツキ少なく、その突出した表面の位置を均一に揃えることを可能としており、また、第1の端子部（バンプ部）の突起の高さ、即ち、配線基板を製造した際、樹脂材層から突出した高さを、第1のCu層の厚さにて制御することを可能にしている。

また、Ni層またはTi層、第2のCu層を通電層として電解めっきにて第1の端子部（バンプ部）を形成することを可能としている。

ここでは、Ni層またはTi層は、第1のCu層をエッチングする際のエッチングストッパー層、第1の電解めっきの母材、通電層としての役割を持つ。

第2のCu層は、支持基材として機能し、第1の電解めっきにおける通電層となる。

また、第1のCu層エッチングの際のレジストを耐めっきレジストとすることにより作業性の良いものになっている。

【0012】

第2の本発明の配線基板の製造方法においては、第1の端子部の端子部表面に、無電解Auめっき、あるいは、順に無電解Niめっき、無電解Auめっきを施すものであることにより、作製される配線基板は、第1の端子部の表面にて直接、半導体素子の半田バンプとフリップチップ接続できるものとしてなり、接続の際、第1の端子部の表面酸化の問題のないものとしている。

また、第2の本発明の配線基板の製造方法においては、第1のCu層、Ni層

をエッチングして、このエッチング残部を、樹脂材層から突出した部分とし、その表面に無電解めっきによりめっき層を形成するため、第1のCu層の厚さ、Ni層の厚さの総和の厚さを制御することにより、樹脂材層から突出した高さを、制御できるものとしており、また、第1の端子部の突出した表面の位置は、Ni層表面に揃えるもので、結局、第1の端子部（バンプ部）の突起の高さ、即ち、配線基板を製造した際、樹脂材層から突出した高さを、均一に揃えて制御することを可能にしている。

ここで、第2のCu層は、支持基材として機能するだけでなく、電解めっきする際の通電層としての役割を持ち、第1の端子部の一部となるもので、その厚さにより、配線基板を製造した際、樹脂材層から突出した高さを、制御するものもある。

また、Ni層は、第2のCu層をエッチングする際のエッチングストッパー層、電解めっきする際の通電層としての役割を持ち、第2のCu層は、支持基材として機能する。

【0013】

上記において、順に第1のCu層、Ni層又はTi層、第2のCu層を積層した構造の複合材としては、クラッド材が、生産性の面からは好ましいが、これに限定はされない。

クラッド材としては、例えば、第1のCu層となる銅箔の一面にNiめっき層を形成し、これと、第2のCu層となるCu箔とを熱をかけて圧着形成して得る。

別に、第1ないし第2のCu層となるCu箔の一面上に、Niめっき層を形成し、更に第2ないし第1のCu層となるCuめっき層を形成して、複合材とすることもできる。

【0014】

また、配線層形成工程としては、セミアディティブ方法や、フルアディティブ方法とサブトラクティブ方法、あるいはフルアディティブ方法とセミアディティブ方法の両方を用いたものが挙げられる。

【0015】

本発明のフリップチップ接続用バンプを有する配線基板は、このような構成にすることにより、半導体素子の半田バンプと直接フリップチップ接続できるめっきバンプあるいは表面がめっき形成されたバンプを備えた配線基板で、半導体素子の半田バンプと直接フリップチップ接続を信頼性良くできる配線基板の提供を可能としている。

第1の端子側には溶剤レジストを設けずに、樹脂材層を露出させたもので、従来の溶剤レジストを配した配線基板の端子形状に起因する種々の問題を全くないものとしている。

また、電解めっき層としては、表面側からの順を以下順として、順にAuめっき層、Cuめっき層、あるいは順にAuめっき層、Niめっき層、あるいは順にAuめっき層、Niめっき層、Cuめっき層、あるいは順にPdめっき層、Cuめっき層、あるいは順にPdめっき層、Niめっき層、あるいは順にPdめっき層、Niめっき層、Cuめっき層、あるいは順にPd系合金めっき層、Cuめっき層、あるいは順にPd系合金めっき層、Niめっき層、あるいは順にPd系合金めっき層、Niめっき層、Cuめっき層、あるいはSnめっき層、あるいは順にSnめっき層、Cuめっき層、あるいはSn系合金めっき層、あるいは順にSn系合金めっき層、Cuめっき層を形成したものが挙げられ、無電解めっき層としては、無電解Auめっき層、あるいは、順に無電解Niめっき層、無電解Auめっき層であることにより、第1の端子部の表面酸化を実用レベルで問題のないものとしている。

特に、最表面にAu層を設けた場合には、第1の端子部の表面酸化をより問題のないものにできる。

【0016】

【発明の実施の形態】

本発明の実施の形態を図に基づいて説明する。

図1は本発明の配線基板の製造方法の実施の形態の第1の例の一部工程断面図であり、図2は図1に続く一部工程断面図であり、図3は図1に続く一部工程断面図であり、図4は本発明の配線基板の製造方法の実施の形態の第2の例の一部工程断面図であり、図5は図4に続く一部工程断面図であり、図3(o)は本発

明のフリップチップ接続用バンプを有する配線基板の実施の形態の第1の例の断面図で、図5(1)は本発明のフリップチップ接続用バンプを有する配線基板の実施の形態の第2の例の断面図で、図6は本発明のフリップチップ接続用バンプを有する配線基板を用いたパッケージの断面図で、図7は配線基板のソルダーレジストを配設した側にフリップ接続部を設けた場合の、形態と接合状態を説明するための断面図である。

図1～図7中、110は(板状の)複合材、111は第1のCu層、111Aは孔部、112はNi層、113は第2のCu層、120はレジスト、121はレジストの開口、131はAuめっき層、132はNiめっき層、133はCuめっき層、140は樹脂材層、141は孔部(ビア形成用孔)、145は樹脂材層、150、155は無電解Cuめっき層(単にCu層とも言う)、160はレジスト、170はCu層、171はビア部、175はCu層、176はビア部、180はソルダーレジスト、181は開口、191はNiめっき層、192は金めっき層、210は(板状の)複合材、211は第1のCu層、212はNi層、213は第2のCu層、220はレジスト、221はレジスト開口、230は電解めっき層(電解めっき形成部とも言う)、240は樹脂材層、241は孔部(ビア形成用孔)、245は樹脂材層、250、255は無電解めっき層、260はレジスト、270はCu層、271はビア部、275はCu層、276はビア部、280はソルダーレジスト、281は開口、291はNiめっき層、292は金めっき層、310は(フリップチップ接続用バンプを有する)配線基板、311は配線層積層形成部(配線部とも言う)、312はフリップチップ接続用端子(第1の端子部とも言う)、312Sは突出した平面部、313はマザーボードとの接続用端子(第2の端子部とも言う)、315は半田ボール、320は半導体素子、325は半田バンプ、330はアンダーフィル、710は半導体素子、715は半田バンプ、720は配線基板(インターポーザとも言う)、721は端子部、725は半田バンプ、730は接合部である。

【0017】

はじめに、本発明の配線基板の製造方法の実施の形態の第1の例を、図1～図3に基づいて説明する。

第1の例は、樹脂材層の一面に配線を形成した配線層を2層配設した配線基板の一方側に、半導体素子の半田バンプと直接フリップチップ接続するための、突起状のフリップチップ接続用バンプを第1の端子部として形成し、他方側には、配線部を覆うソルダーレジストの開口にこれを埋めるように第2の端子部をめっき形成している配線基板で、各配線層は、その樹脂材層側を第1の端子部側に、その配線を第2の端子部側に向けており、第1の端子側にはソルダーレジストを設けずに、樹脂材層を露出させており、第1の端子部は、その突起状の先端に平面部を設け、且つ、各端子部の平面部を一平面上に揃えている、パッケージ用のインターポーザとしての配線基板の形成方法である。

先ず、順に第1のCu層111、Ni層112、第2のCu層113を積層してなる板状の複合材110（図1（a））に対し、第1のCu層111の表面に所定形状にレジスト120を形成し（図1（b））、レジストの開口121から露出した第1のCu層111をのみエッチングして、その所定領域を貫通させ、第1の端子部形成領域用の孔部を形成する。（図1（c））

複合材110としては、クラッド材が生産性からは好ましいが、これに限定されない。

通常は、第1のCu層111、Ni層112、第2のCu層113の厚みとしては、それぞれ、 $50\mu\text{m}$ ～ $125\mu\text{m}$ 、 $1\mu\text{m}$ 、 $18\mu\text{m}$ ～ $30\mu\text{m}$ のものが用いられる。

クラッド材としては、第1のCu層111あるいは第2のCu層113となる銅箔の一面にNiめっき層112を形成し、これと、それぞれ、第2のCu層113、第1のCu層111となるCu箔とを熱をかけて圧着形成して得る。

また別に、第1ないし第2のCu層となるCu箔の一面上に、Niめっき層を形成し、更に第2ないし第1のCu層となるCuめっき層を形成して、複合材とすることもできる。

レジストは、後続するめっき工程にも耐えるものを使用する。

材質としては、通常、アクリル系のものが用いられる。

また、第1のCu層のエッチング液としては、Ni層112をエッチングストッパー層とするため、Ni層をエッチングしないアルカリエッチングが用いられ

る。

【0018】

次いで、レジスト120を耐めっきレジストとして、エッチング工程にて形成された孔部111Aを埋めるように、フリップチップ接続用バンプとなる第1の端子部を電解めっきにより形成する。(図1(d))

本例では、順にAuめっき、Niめっき、Cuめっきを施し、順にAuめっき層131、Niめっき層132、Cuめっき層133を形成し、孔部11Aを埋める。

Auめっき層131、Niめっき層132、Cuめっき層133の各部を併せたものが第1の端子部となる。

このめっきに代え、順に、Auめっき、Cuめっき、あるいは、順に、Auめっき、Niめっきを施すこともできる。

【0019】

次いで、レジスト120を剥離した(図1(e))後、第1の端子部形成側上に、該第1の端子部に接続するようにして、樹脂材層を介して配線を設けた1層目の配線層を本例では、以下のようにして、セミアディティブ方法にて形成する。

まず、第1の端子部形成側上に絶縁性樹脂からなる樹脂材層140をラミネートし(図1(f))、ラミネートされた樹脂材層140を、レーザにてビア形成用の孔を開ける。(図1(g))

樹脂材層140としては、好ましくは、例えば、アラミド繊維やガラス繊維にエポキシ系樹脂を含浸させたものが用いられるが、これに限定はされない。

ラミネート方法としては、例えば、銅箔の一面上に樹脂材層140を形成しておき、これを該樹脂材層を介して積層した後に、銅箔を除去してラミネートする方法が採られる。

レーザとしては、CO₂レーザやUV-YAGレーザが用いられる。

次いで、形成された孔部141の表面を含め、樹脂材層140表面に無電解Cuめっきを施し(図2(h))、形成された無電解Cuめっき層150上に、回路形成部を開口してレジスト160を形成した(図2(i))、後、レジスト1

60の開口から露出したCu層150上に、該Cu層150を導電層として電解Cuめっきを施し(図2(j))、更に、前記レジスト160を剥離し、露出した無電解めっきにより形成されたCu層150をエッチング除去して、回路部を形成する。(図2(k))

これにより、1層目の配線層が形成される。

そして、同様にして、1層目の配線層上に、2層目の配線層を形成する。(図3(1))

【0020】

次いで、2層目の配線層上に、第2の端子部形成領域を露出させる開口を設け、配線層全体を覆うように、ソルダーレジスト180を形成し(図3(m))
ソルダーレジストの開口181に電解めっきを施し、第2の端子部を形成する。
(図3(n))

本例では、順に、電解Niめっき、電解AuめっきをNi層111、第2のCu層113を導電層として行う。

形成されるNiめっき層191、Cu層192の厚さの総和がソルダーレジストの厚さに相当する。

次いで、複合材110の残部をエッチング除去する。(図3(o))

順次、第2のCu層113のエッチング、Ni層112のエッチング、第1のCu層111のエッチングの順に行う。

この場合、例えば、第2のCu層113、第1のCu層111のエッチングにはアルカリ系溶液、Ni層112のエッチングには、過水、硫酸系溶液をエッチング液として用いる。

これにより、目的とする配線基板が作製される。

【0021】

次に、本発明の配線基板の製造方法の実施の形態の第2の例を、図4、図5に基づいて説明する。

第2の例も、第1の例と同様、樹脂材層の一面に配線を形成した配線層を2層配設した配線基板の一方側に、半導体素子の半田バンプと直接フリップチップ接続するための、突起状のフリップチップ接続用バンプを第1の端子部として形成

し、他方側には、配線部を覆うソルダーレジストの開口にこれを埋めるように第2の端子部をめっき形成している配線基板で、各配線層は、その樹脂材層側を第1の端子部側に、その配線を第2の端子部側に向けており、第1の端子側にはソルダーレジストを設けずに、樹脂材層を露出させており、第1の端子部は、その突起状の先端に平面部を設け、且つ、各端子部の平面部を一平面上に揃えている、パッケージ用のインターポーザとしての配線基板の形成方法である。

まず、順に第1のCu層211、Ni層212、第2のCu層213を積層してなる板状の複合材210（図4（a））に対し、第1のCu層211の表面に所定形状にレジスト220を形成し（図4（b））、

レジスト220を耐めっきレジストとして、

レジストの開口221から露出した第1のCu層211上に、開口を埋めるように、電解めっきにより、第1の端子部の一部となる電解めっき部（電解めっき形成部）230を形成する。（図4（c））

電解めっき部230は、通常、Cuめっきである。

次いで、レジスト220を剥離した（図4（d））後、電解めっき部230側上に、前記第1の端子部の一部となる電解めっき部230に接続するようにして、樹脂材層を介して配線を設けた1層目の配線層、2層目の配線層を、第1の例と同様にして作製する。（図4（e））～図5（i））

更に、第1の例と同様にして、第2の端子部形成領域を露出させる開口を設け、配線層全体を覆うように、ソルダーレジスト280を形成し（図5（j））、ソルダーレジストの開口281に電解めっきを施し、第2の端子部を形成した後、Ni層212をエッチングストッパー層として、第2のCu層213をエッチング除去し、更に、Ni層212上に、第1の端子部領域のみを覆うようにレジスト（図示していない）を形成し、該レジストを耐エッチングレジストとして、Ni層212、第1のCu層211をエッチングして貫通させ、電解めっき形成部230、第1のCu層部の残部、Ni層部の残部を併せて第2の端子部として形成し、レジストを除去する。（図5（k））

更に、露出した第1の端子部表面に、無電解Auめっきを施す。（図5（l））

これにより、目的とする配線基板が作製される。

尚、各部材も第1の例と同様のものが適用でき、ここでは説明を省く。

【0022】

第1の例の例の変形例としては、第1の例における、順に第1のCu層111、Ni層112、第2のCu層113を積層してなる板状の複合材110（図1（a））に代え、第1のCu層、Ti層、第2のCu層を積層してなる板状の複合材を用いて同様に行う方法も挙げられる。

また、第1の例、第2の例の変形例としては、配線層の数を1層、あるいは、3層以上にしたものが挙げられる。

また、配線層の形成方法も、セミアディティブ方法に限定されない。

フルアディティブ方法とサブトラクティブ方法、あるいはフルアディティブ方法とセミアディティブ方法の両方を用いたものも挙げられる。

【0023】

本発明のフリップチップ接続用バンプを有する配線基板の実施の形態としては、図3（o）に示す第1の例の配線基板の製造方法により作製されたもの、図5（1）に示す第2の例の配線基板の製造方法により作製されたものが挙げられるが、これらに限定はされない。

図3（o）、図5（1）に示すものは、いずれも、配線層を2層配設した配線基板の一方側に、半導体素子の半田バンプと直接フリップチップ接続するための、突起状のフリップチップ接続用バンプを第1の端子部として形成し、他方側には、配線部を覆うソルダーレジストの開口にこれを埋めるように第2の端子部をめっき形成している配線基板で、樹脂材層上に配線を形成した各配線層は、その樹脂材層側を第1の端子部側に、その配線を第2の端子部側に向けており、第1の端子部側にはソルダーレジストを設けずに、樹脂材層を露出させており、第1の端子部は、その突起先端に平面部を設け、且つ、各端子部の平面部を一平面上に揃えており、その側面部を含み露出した表面全体に、電解めっき層あるいは無電解めっき層からなる表面めっき層が形成されているものである。

尚、各部の材質等については、上記の製造方法の説明に代え、ここでは説明を省略する。

【0024】

本発明の、図3(o)に示す配線基板、図5(1)に示す配線基板のインターポーザとしてのパッケージ用基板310は、例えば、図6に示すように、その第1の端子部312が、半導体素子310の半田バンプ325と直接、フリップチップ接続される。

この場合、第1の端子部312の突出した平面部312Sは一平面に揃うため接合が均一に行われる。

また、第1の端子部312の表面部が金属であり、化学的に安定しており、酸化は起こらず、フラックス処理も不要となり得る。

【0025】

【発明の効果】

本発明は、上記のように半導体素子の半田バンプと直接フリップチップ接続できるめっきバンプあるいは表面がめっき形成されたバンプを備えた配線基板で、半導体素子の半田バンプとの直接のフリップチップ接続を信頼性良くできる配線基板とその製造方法の提供を可能とした。

詳しくは、これにより、高価な材料、プロセスを用いた半田バンプ形成が不要となり、より安価な方法により、より微細ピッチに対応したバンプ形成が実現可能となった。

また、特に第1の本発明の配線基板の製造方法の場合、高密度配線に適用せざるをえない、無電解Niめっき、無電解Auめっきに代わり、接合信頼性の高い電解めっきでバンプ形成が可能となった。

また、印刷方法によって形成された半田バンプと比較し、バンプの高さのバラツキを少なくできるため、半導体素子との接合も良好となり、実装時の歩留まりが向上するようになった。

また、Pbフリー半田適用時に、基板の加熱が不要となり、基板へのダメージが低減され、歩留まりが向上するようになった。

【図面の簡単な説明】

【図1】

本発明の配線基板の製造方法の実施の形態の第1の例の一部工程断面図である。

【図2】

図1に続く一部工程断面図である。

【図3】

図3(1)～図3(o)は図2に続く一部工程断面図で、図3(o)は本発明のフリップチップ接続用バンプを有する配線基板の実施の形態の第1の例の断面図である。

【図4】

本発明の配線基板の製造方法の実施の形態の第2の例の一部工程断面図である。

【図5】

図5(i)～図5(l)は図4に続く一部工程断面図で、図5(l)は本発明のフリップチップ接続用バンプを有する配線基板の実施の形態の第2の例の断面図である。

【図6】

本発明のフリップチップ接続用バンプを有する配線基板を用いたパッケージの断面図である。

【図7】

配線基板のソルダーレジストを配設した側にフリップ接続部を設けた場合の、形態と接合状態を説明するための断面図である。

【符号の説明】

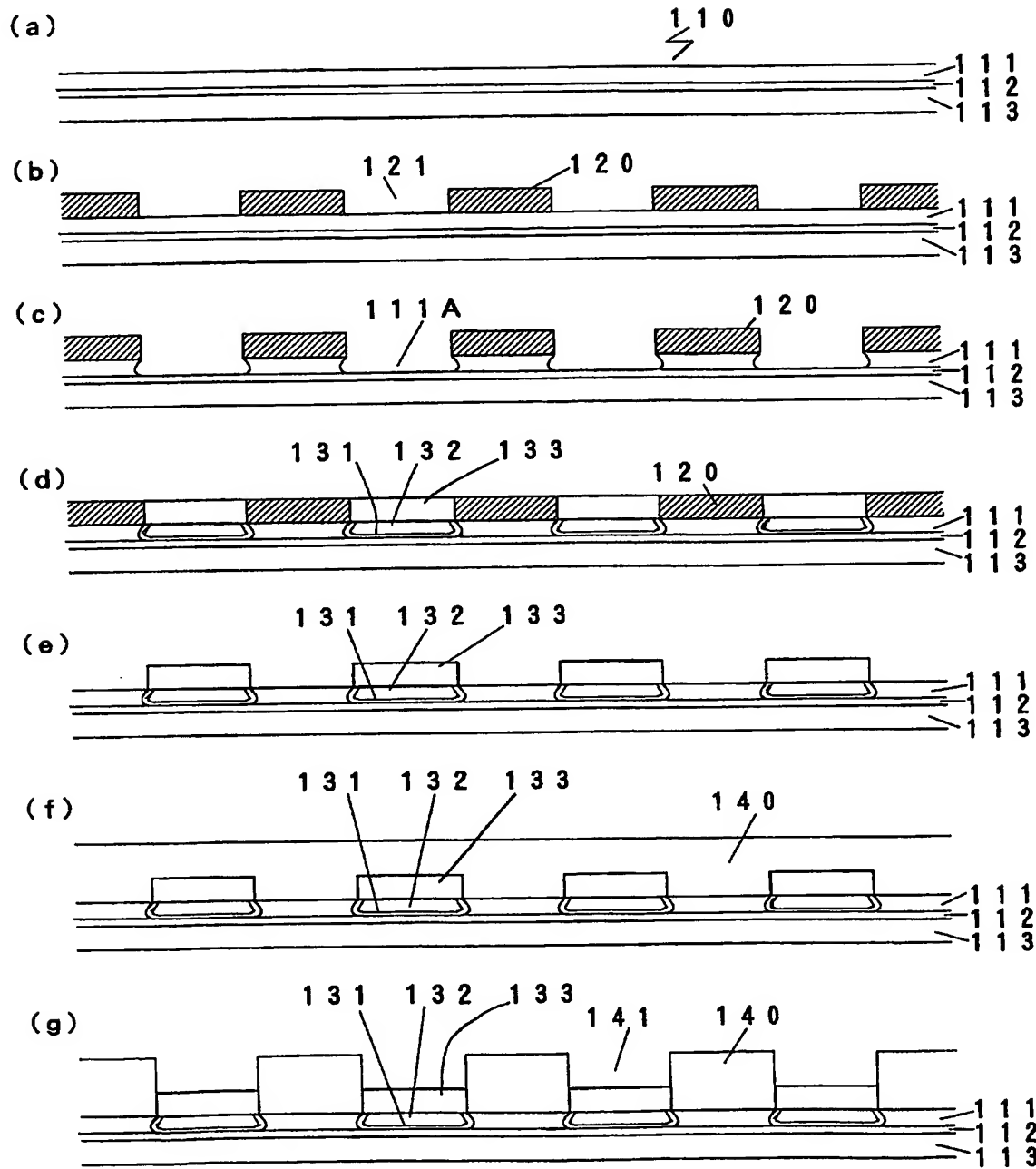
110	(板状の) 複合材
111	第1のCu層
111A	孔部
112	Ni層
113	第2のCu層
120	レジスト

121	レジストの開口
131	Auめっき層
132	Niめっき層
133	Cuめっき層
140	樹脂材層
141	孔部
145	樹脂材層
150、155	無電解Cuめっき層（単にCu層とも言う）
160	レジスト
170	Cu層
171	ビア部
175	Cu層
176	ビア部
180	ソルダーレジスト
181	開口
191	Niめっき層
192	金めっき層
210	（板状の）複合材
211	第1のCu層
212	Ni層
213	第2のCu層
220	レジスト
221	レジスト開口
230	電解めっき層（電解めっき形成部とも言う）
240	樹脂材層
241	孔部（ビア形成用孔）
245	樹脂材層
250、255	無電解めっき層
260	レジスト

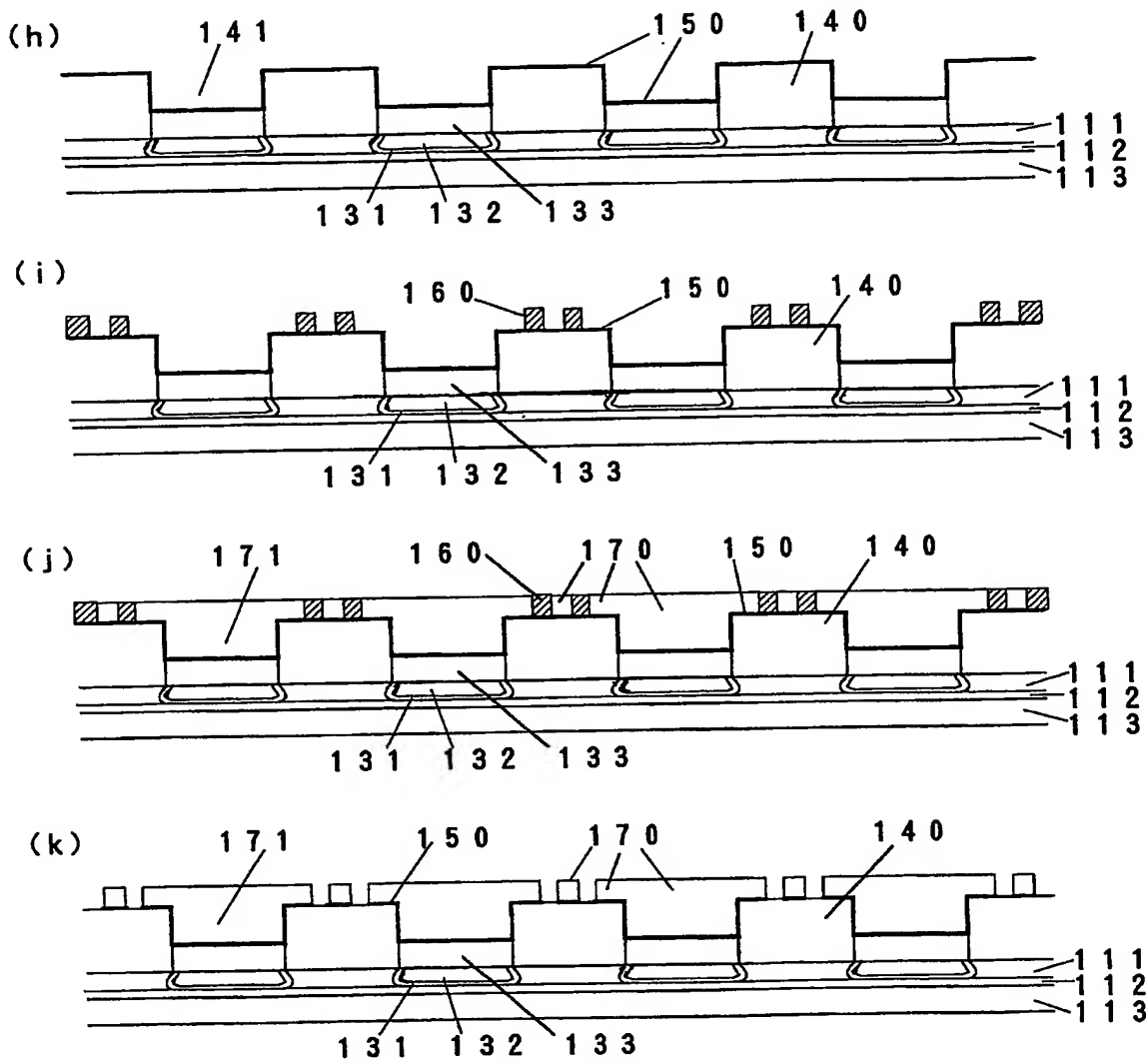
270	Cu層
271	ビア部
275	Cu層
276	ビア部
280	ソルダーレジスト
281	開口
291	Niめっき層
292	金めっき層
310	(フリップチップ接続用バンプを有する) 配線基板
311	配線層積層形成部 (配線部とも言う)
312	フリップチップ接続用端子 (第1の端子部とも言う)
312S	突出した平面部
313	マザーボードとの接続用端子 (第2の端子部とも言う)
315	半田ボール
320	半導体素子
325	半田バンプ
330	アンダーフィル
710	半導体素子
715	半田バンプ
720	配線基板 (インターポーザとも言う)
721	端子部
725	半田バンプ
730	接合部

【書類名】 図面

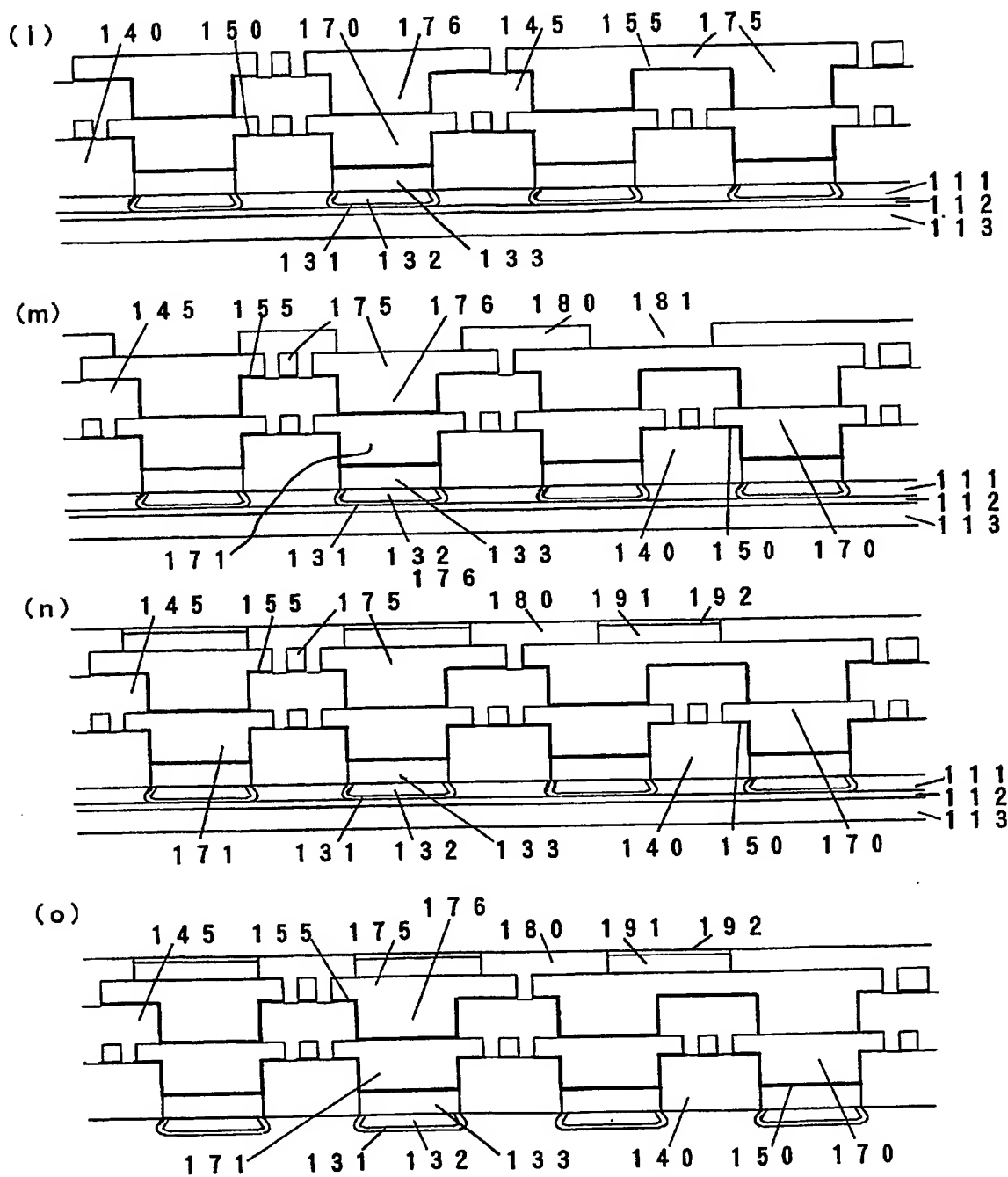
【図 1】



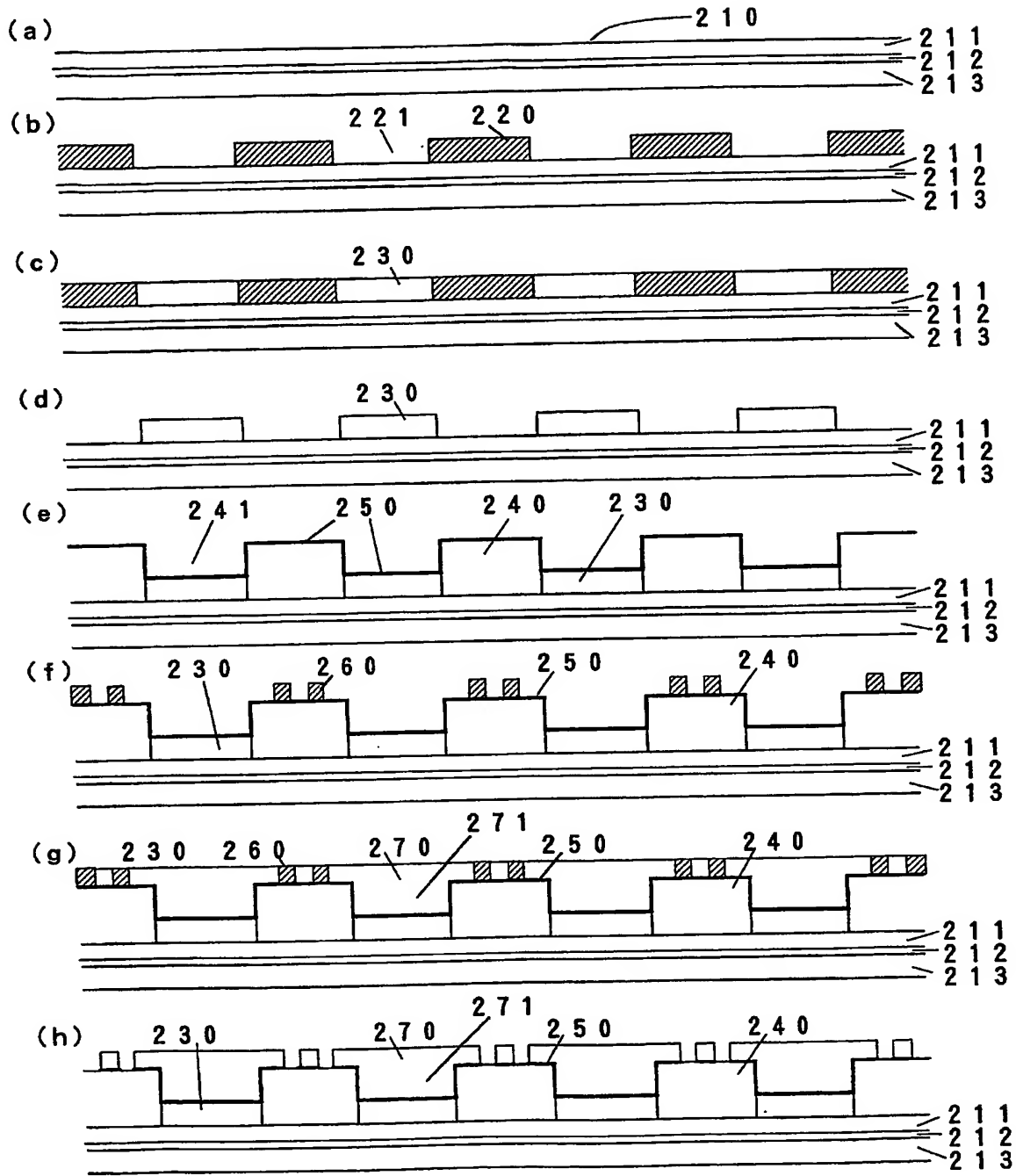
【図 2】



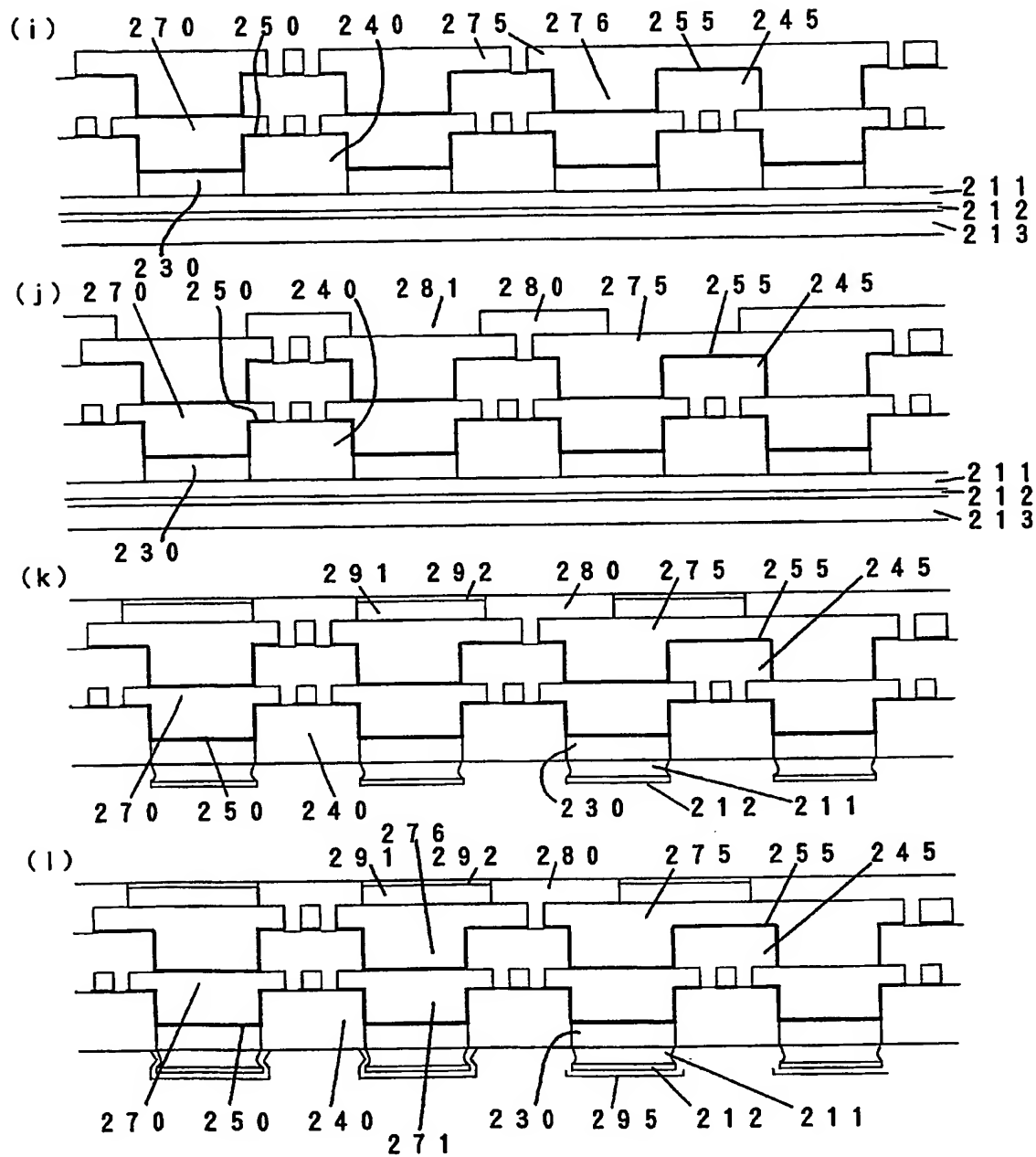
【図3】



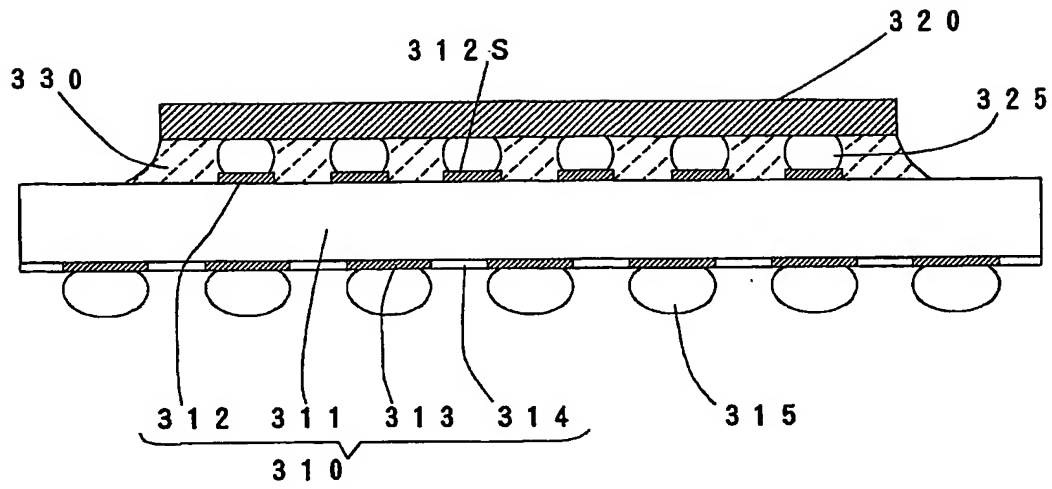
【図 4】



【図 5】

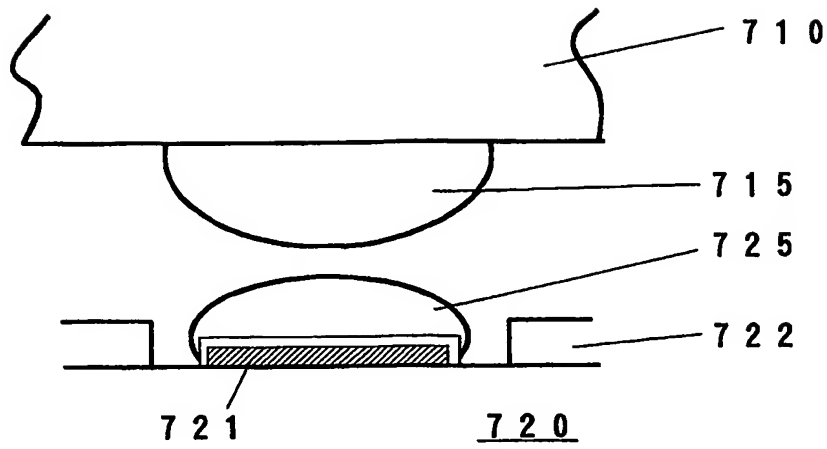


【図 6】

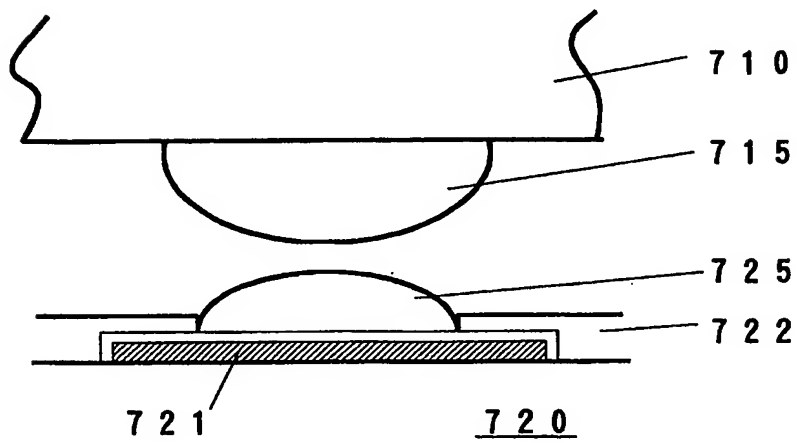


【図7】

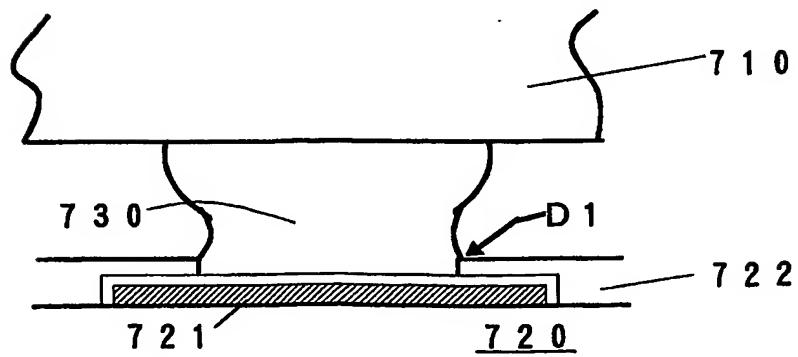
(a)



(b)



(c)



【書類名】 要約書

【要約】

【課題】 半導体素子の半田バンプと直接フリップチップ接続できるめっきバンプあるいは表面がめっき形成されたバンプを備えた配線基板で、半導体素子の半田バンプとの直接のフリップチップ接続を信頼性良くできる配線基板と、その製造方法を提供する。

【解決手段】 順次、(a) 順に第1のCu層、Ni層、第2のCu層を積層してなる板状の複合材に対し、第1のCu層表面に所定形状にレジストを形成し、レジストの開口から露出した第1のCu層をのみエッチングして、その所定領域を貫通させ、第1の端子部形成領域用の孔部を形成するエッチング工程と、(b) 前記レジストを耐めっきレジストとして、エッチング工程にて形成された孔部を埋めるように、フリップチップ接続用バンプとなる第1の端子部を電解めっきにより形成する第1の電解めっき工程と、(c) レジストを剥離した後、第1の端子部形成側上に、前記第1の端子部に接続するようにして、樹脂材層を介して配線を設けた配線層を1層以上形成する配線層形成工程と、(d) 第2の端子部形成領域を露出させる開口を設け、配線層全体を覆うように、ソルダーレジストを形成するソルダーレジスト形成工程と、(e) 前記ソルダーレジストの開口に電解めっきを施し、第2の端子部を形成する第2の電解めっき工程と、(f) 前記複合材の残部をエッチング除去するエッチング工程と、を有する。

【選択図】 図1～図3

特願 2 0 0 3 - 1 0 5 7 9 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 8 9 7]

1. 変更年月日

1 9 9 0 年 8 月 2 7 日

[変更理由]

新規登録

住 所

東京都新宿区市谷加賀町一丁目 1 番 1 号

氏 名

大日本印刷株式会社